

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Chi-Hui LIN )  
 ) Group: Not yet assigned  
 Serial No.: Not yet assigned )  
 ) Examiner: Not yet assigned  
 Filed: Concurrently herewith )  
 ) Our Ref: B-5158 621093-8  
 )  
 For: "STACKED GATE FLASH MEMORY )  
 DEVICE AND METHOD OF )  
 FABRICATING THE SAME" ) Date: July 16, 2003

Mail Stop Patent Application  
 Commissioner for Patents  
 P.O. Box 1450  
 Alexandria, VA 22313-1450

CLAIM TO PRIORITY UNDER 35 U.S.C. 119


Sir:

[X] Applicants hereby make a right of priority claim under 35 U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):

<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
Taiwan, R.O.C.	21 OCTOBER 2002	91124264

- [ ] A certified copy of each of the above-noted patent applications was filed with the Parent Application No. \_\_\_\_\_.
- [X] To support applicant's claim, a certified copy of each of the above-identified foreign patent application is enclosed herewith.
- [ ] The priority document will be forwarded to the Patent Office when required or prior to issuance.

Respectfully submitted,

  
 Richard P. Berg  
 Attorney for Applicant  
 Reg. No. 28,145

LADAS & PARRY  
 5670 Wilshire Boulevard  
 Suite 2100  
 Los Angeles, CA 90036  
 Telephone: (323) 934-2300  
 Telefax: (323) 934-0202

EV258281512US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Chi-Hui LIN )  
 ) Group: Not yet assigned  
 )  
Serial No.: Not yet assigned )  
 ) Examiner: Not yet assigned  
Filed: Concurrently herewith )  
 ) Our Ref: B-5158 621093-8  
 )  
For: "STACKED GATE FLASH MEMORY )  
DEVICE AND METHOD OF )  
FABRICATING THE SAME" ) Date: July 16, 2003

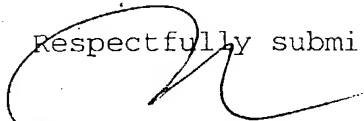
Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

CROSS-REFERENCE TO RELATED APPLICATIONS

Sir:

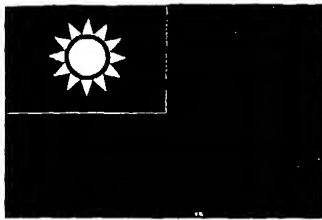
This application is related to the U.S. patent application  
invented by Chi-Hui LIN entitled "Split Gate Flash Memory Device  
and Method of Fabricating the Same," which application is being  
filed on July 16, 2003.

Respectfully submitted,

  
Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300  
Telefax: (323) 934-0202

6020028151203



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 21 日  
Application Date

申請案號：091124264  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 11 月 19 日  
Issue Date

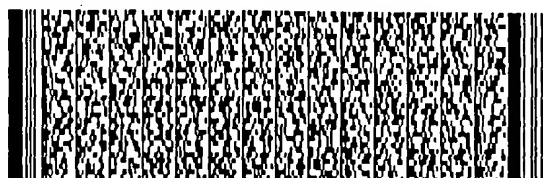
發文字號：09111022371  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	溝槽型堆疊閘極式快閃記憶體及其製造方法
	英 文	A trench type stacked gate flash memory and the method to fabricate the same.
二、 發明人	姓 名 (中文)	1. 林圻輝
	姓 名 (英文)	1. CHI-HUI LIN
	國 籍	1. 中華民國
	住、居所	1. 台北市內湖區成功路五段46號12樓
三、 申請人	姓 名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓 名 (名稱) (英文)	1. Nanya Technology Corporation.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓 名 (中文)	1. 連日昌
	代表人 姓 名 (英文)	1. Jih-Chang Lien

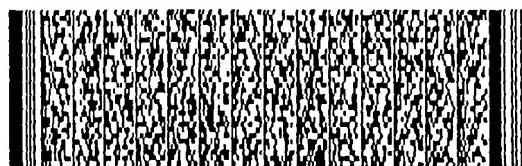
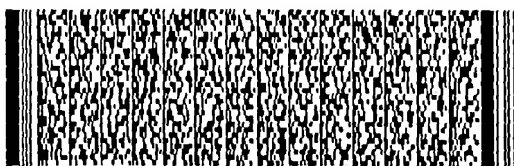


四、中文發明摘要 (發明之名稱：溝槽型堆疊閘極式快閃記憶體及其製造方法)

本發明關於一種溝槽型堆疊閘極式快閃記憶體及其製造方法，此快閃記憶體包括：半導體基底具有溝槽；導電層，位於溝槽底部；源極區域，位於溝槽兩側壁之半導體基底中且經導電層形成電性接觸；源極隔離層，位於導電層上；隧穿氧化層，位於源極隔離層上之溝槽側壁上；U型浮置閘極，位於溝槽內之源極隔離層上並與隧穿氧化層連接；控制閘極間隙壁，位於U型浮置閘極兩側壁之垂直部位上並與垂直部位等寬；U型閘極間介電層，位於控制閘極間隙壁與U型浮置閘極上；控制閘極，位於U型閘極間介電層間；以及汲極區域，位於溝槽鄰近之半導體基底中。

英文發明摘要 (發明之名稱：A trench type stacked gate flash memory and the method to fabricate the same.)

A trench type stacked gate flash memory comprises : a semiconductor substrate having a trench therein; an conductive layer provided in the bottom of the trench; a pair of source area provided in the outside region of the trench and conducted through the conductive layer; a source isolation layer on the conductive layer; a tunneling oxide layer on the trench side wall; an U-type floating gate on the source isolation layer and connecting the tunneling oxide layer; a pair



四、中文發明摘要 (發明之名稱：溝槽型堆疊閘極式快閃記憶體及其製造方法)

英文發明摘要 (發明之名稱：A trench type stacked gate flash memory and the method to fabricate the same.)

of control gate spacer on the vertical side wall of the U-shaped floating gate and with the same width of the vertical side wall of the U-shaped floating gate; an U-shaped inter-gate dielectric layer on the U-shaped floating gate and the control gate spacer; a control gate locating layer between the U-shaped inter-gate dielectric layer and a drain area in the substrate nearby the trench.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

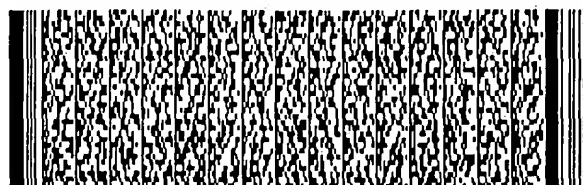
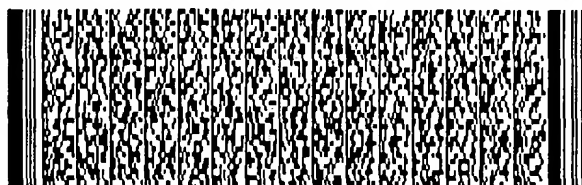
### 【發明領域】

本發明係有關於一種快閃記憶體 (flash memory)，特別是有關於一種溝槽型堆疊閘極式快閃記憶體 (trench stacked gate flash memory) 及其製造方法。

### 【習知技術】

電氣抹除式可編程唯讀記憶體 (EEPROM) 為現今資訊電子產品所廣泛採用的記憶元件，原本有存取速度較慢的缺點，然隨製程技術的進步，近年已開發出存取速度較快的EEPROM，一般稱之為快閃記憶體 (flash memory)。基本上，典型的快閃記憶體係以浮置閘極 (floating gate) 電晶體結構所構成，當進程式化步驟而寫入數據時，係施加一高電壓於控制閘極 (controlling gate)，使得熱電子穿過隧穿氧化層而注入浮置閘極，提高其臨界電壓；當抹除數據時，則施加一高電壓於源極區，使得前述注入到浮置閘極的電子可藉由所謂的Fowler-Nordheim隧穿效應，穿過隧穿氧化層而流入源極區，使其回復原有的臨界電壓。

快閃記憶體最重要的關鍵在於可藉由減少記憶胞的尺寸來降低位元成本的花費。為了減少記憶胞的尺寸，資料線行距 (Data Line Pitch) 須如同閘極長度般的被減少。浮置閘極尺寸減少的結果會使快閃記憶胞的尺度進一步縮小，這對於在堆疊閘極快閃記憶體中的浮置閘極與控制閘極間之耦合率 (coupling ratio) 有不利的影響。因此，在





## 五、發明說明 (2)

半導體製造工業中，達到高閘極耦合率且同時使快閃記憶胞尺寸可進一步縮小的目標變得更加具有挑戰性。

### 【發明之目的及概要】

有鑑於此，本發明提供一種溝槽型堆疊閘極式快閃記憶體及其製造方法，以提高其快閃記憶體記憶胞之積集度。

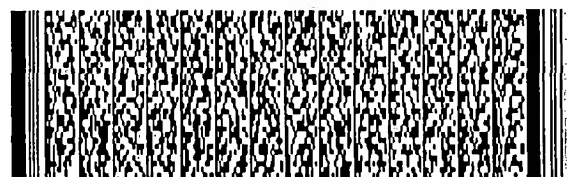
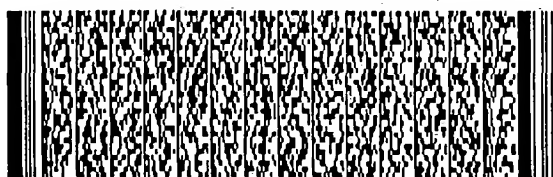
此外，本發明提供一種可在縮小記憶胞占據基底的面積下，還可增加控制閘極對浮置閘極的耦合率的溝槽型堆疊閘極式快閃記憶體及其製造方法。

再者，本發明提供一種在不增加記憶胞的水平面積下，可增加記憶胞趨動電流的溝槽型堆疊閘極式快閃記憶體及其製造方法。

而依據本發明之垂直型堆疊閘極式快閃記憶體中，於一溝槽中，增大浮置閘極(FG)與控制閘極(CG)間交疊面積(Overlapping Area)，因而能增加控制閘對浮置閘的耦合率(Control-gate-to-floating-gate Coupling Ratio)，並改善記憶胞性能。

此外，本發明之垂直型堆疊閘極式快閃記憶體，其結構特徵在於其記憶胞結構深入於半導體基底內，可進一步的縮小快閃記憶體記憶胞的尺寸並提昇記憶胞的積集度，並可大幅地提昇快閃記憶體的容量。

而其製造方法之特徵在於，當中多數之製程皆屬於自我對準(self aligned)製程，可大幅地減少製程所需光罩



### 五、發明說明 (3)

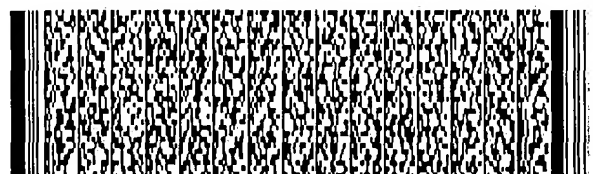
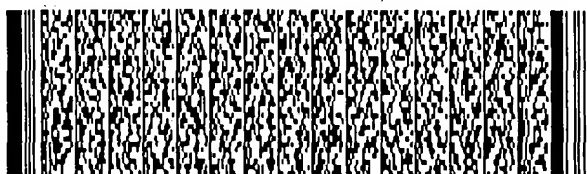
數目進而減低了製程的複雜性。而製程中所利用光罩結構簡單，大多屬於長條狀之結構，對於降低光罩構成成本方面，亦有顯著之功效。亦可不受線寬縮小等因素，不需進一步地改良微影技術，而本發明之記憶胞所提出的較高閘極耦合率也可使記憶胞在較低的控制閘極電壓下操作。

因此，本發明提供了一種具有上述結構特徵之溝槽型堆疊閘極式快閃記憶體，包括：

半導體基底具有溝槽；導電層，位於溝槽底部；源極區域，位於溝槽兩側壁之半導體基底中且經導電層形成電性接觸；源極隔離層，位於導電層上；隧穿氧化層，位於源極隔離層上之溝槽側壁上；U型浮置閘極，位於溝槽內之源極隔離層上並與隧穿氧化層連接；控制閘極間隙壁，位於U型浮置閘極兩側壁之垂直部位上並與垂直部位等寬；U型閘極間介電層，位於控制閘極間隙壁與U型浮置閘極上；控制閘極，位於U型閘極間介電層間；以及汲極區域，位於溝槽鄰近之半導體基底中。

此外，本發明並提供了一種製作具有上述結構之溝槽型堆疊閘極式快閃記憶體的製造方法，包括下列步驟：

提供一半導體基底；形成複數個長溝槽，位於半導體基底內且沿第一方向排列且互為平行；形成一對源極區域及導電層於長溝槽內，源極區域位於長溝槽兩側壁外之半導體基底中並經由位於溝槽底部之導電層以形成電性接觸；形成源極隔離層於導電層上；形成隧穿氧化層於長溝槽之兩側壁上；形成U型浮置閘極於源極隔離層上並與隧



#### 五、發明說明 (4)

穿氧化層連接；形成控制閘極間隙壁於該U型浮置閘極兩側壁之垂直部位上並與垂直部位等寬；形成U型閘極間介電層於控制閘極間隙壁與U型浮置閘極上；形成控制閘極於U型閘極間介電層間；形成複數個長條狀之淺溝槽隔離區域(STI)，沿第二方向排列且互為平行之以定義出複數個記憶胞溝槽；以及形成汲極區域於記憶胞溝槽鄰近之半導體基底中。

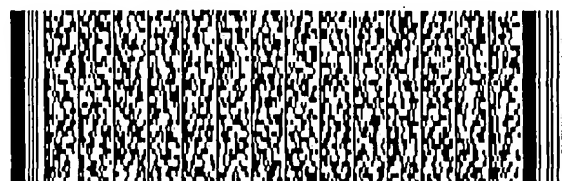
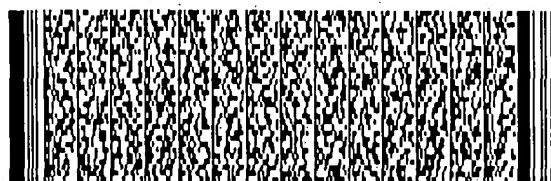
為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施例】

本發明為了因應記憶容量不斷增加的趨勢，提供了一種溝槽型堆疊閘極式快閃記憶體。請參照第1圖，為依據本發明完成之溝槽型堆疊閘極式快閃記憶體之上視圖，沿著A~A'切線為此快閃記憶體記憶胞區域，而沿著B~B'切線為此快閃記憶體之淺溝槽隔離區域(STI)。接著請同時參照第3a~31圖及第4a~41圖以說明於A~A'切線及B~B'切線內部份區域的製造流程剖面圖並請同時參照上視圖第2a~2b圖以顯示製程中相對應之上視結構，藉以說明本發明之較佳實施例。

首先請參閱第31圖，為依據本發明之溝槽型堆疊閘極式快閃記憶體之結構，包括：

半導體基底200具有溝槽250'；導電層206，位於溝槽

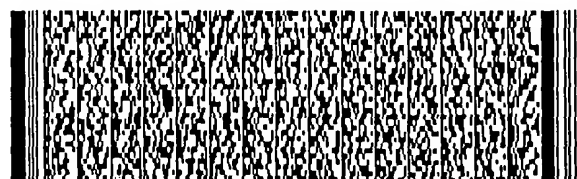
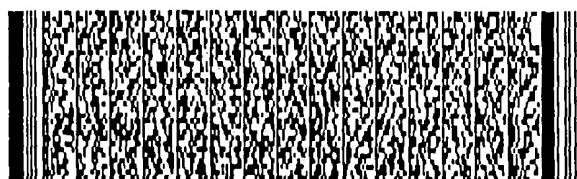


#### 五、發明說明 (5)

250' 底部；源極區域S，位於溝槽250兩側壁之半導體基底200中且經導電層206形成電性接觸；源極隔離層207，位於導電層206上；隧穿氧化層208，位於源極隔離層207上之溝槽250'側壁上；U型浮置閘極209，位於溝槽205'內之源極隔離層207上並與隧穿氧化層208連接；控制閘極間隙壁211，位於U型浮置閘極209兩側壁之垂直部位上並與垂直部位等寬；U型閘極間介電層212，位於控制閘極間隙壁211與U型浮置閘極209上；控制閘極213，位於U型閘極間介電層212間；以及汲極區域D，位於溝槽250'鄰近之半導體基底200中。

而依據本發明之溝槽型堆疊閘極式快閃記憶體其製程流程，首先請同時參閱第3a圖及第4a圖，於半導體基底200例如為p型半導體矽基底上，依序形成一墊氧化層201及一罩幕層202，其中罩幕層202材質例如是氮化矽；接著藉由微影及蝕刻製程於半導體基底200內定義出複數個長溝槽250，並沿著一第一方向排列且互為平行，其深度距基底200表面約30000~70000埃，其上視圖請參閱第2a圖。長溝槽250的深度與即將形成之快閃記憶體的通道長度以及源極線之電阻有關。

接著，請參照第3b圖及第4b圖，沉積一順應性(conformal)底絕緣層203於罩幕層202上及長溝槽250內，其材質例如是二氧化矽，接著沉積蝕刻保護層204材料於底絕緣層203上並溝填(gap-fill)於長溝槽250內，其材質例如是光阻(PR)。接著去除罩幕層202上之蝕刻保護層204

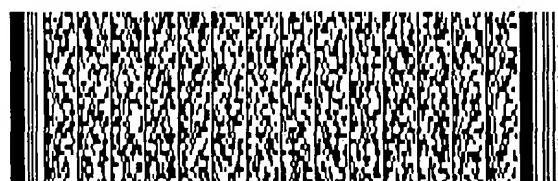
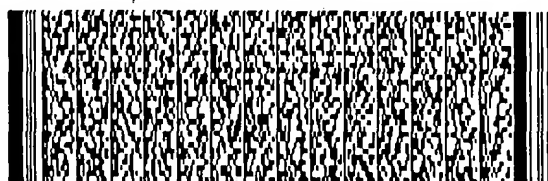


##### 五、發明說明 (6)

材料並回蝕長溝槽250內之蝕刻保護層204材料至距離半導體基底200表面為H之深度，其中H之深度介於2500~3500埃。接著去除蝕刻保護層204之外的底絕緣層203，最後於長溝槽250內形成距離半導體基底200表面深度為H且表面與剩餘之蝕刻保護層204約等高之底絕緣層203之結構。

請繼續參照第3c圖及第4c圖，於去除長溝槽250內剩餘之蝕刻保護層204材料後，接著沉積一源極材料層材料205於罩幕層202上並溝填於長溝槽250內，其材質例如是含n型摻質之複晶矽，此n型摻質例如為砷(As)或磷(P)離子。接著回蝕(etch back)以去除罩幕層202上之源極材料層205材料，並凹蝕(recess)長溝槽250內之源極材料層205材料，最後於長溝槽250內形成高於底絕緣層203約500~1000埃之源極材料層205。接著進行一高溫熱逐出(drive out)製程，例如是高溫擴散爐管製程，將源極材料層205材料中之摻質(例如為n型摻質：砷或磷)逐出(drive out)至長溝槽250兩側壁外之半導體基底(例如為p型半導體矽基底)內以形成一對源極區域S。

請繼續參照第3d圖及第4d圖，接著更凹蝕(recess)長溝槽250內之源極材料層205材料，最後於長溝槽250內形成距離半導體基底200表面深度為H'之源極材料層205。利用此源極材料層205複晶矽材料中仍含有部份未被逐出(drive out)之摻質(例如為n型摻配物質：砷或磷)，故仍具導電性，可作為源極區域S間之電性接觸通道(channel)。如此可將距離半導體基底200表面深度為H'之



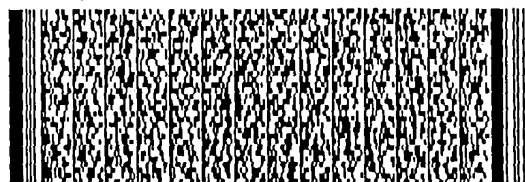
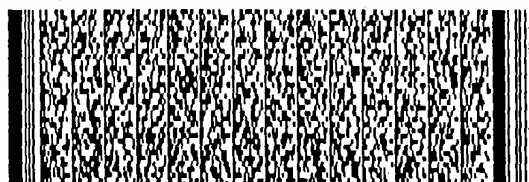
## 五、發明說明 (7)

源極材料視作一導電層206，用以連接長溝槽250兩側壁之源極區域S而形成電性接觸，其中此導電層206距離半導體基底200表面深度為 $H'$ 與底絕緣層203距離半導體基底200表面深度為 $H$ 之間深度差( $\Delta H$ )介於200~300埃，以提供兩源極區域S間一良好的電性接觸。

請繼續參照第3e圖及第4e圖，接著沉積一源極隔離層207材料於罩幕層202上並溝填於長溝槽250內，其材質例如是二氧化矽，接著去除於罩幕層202上此源極隔離層207材料，並回蝕長溝槽250內之源極隔離層207材料，最後於長溝槽內剩餘一厚度為500~1000埃之源極連接隔離層207於導電層206上，以侷限兩源極區域S間之電性接觸僅能經由其下方之導電層206。接著，對長溝槽250之兩側壁進行臨界電壓植入( $V_t$  implant)以調整記憶胞之臨界電壓( $V_t$ )。

請繼續參照第3f、圖4f，接著形成一隧穿氧化層208於長溝槽250之兩側壁上，其材質例如為二氧化矽，其方法例如為熱氧化法，其於側壁上之厚度介於80~150埃。接著沉積一順應性(conformal)的浮置閘極(Floating Gate; FG)材料於罩幕層202及長溝槽250內並與兩側壁上之隧穿氧化層208接觸，其厚度介於300~500埃，其材質例如為含n型摻質(dopant)之複晶矽，其方法例如為低壓化學氣相沉積法(LPCVD)。

請繼續參照第3g圖及第4g圖，接著沉積一蝕刻保護層210材料於罩幕層202上並溝填於長溝槽250內，其材質例

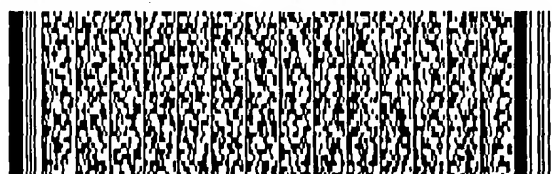
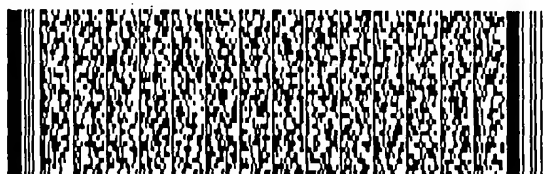


##### 五、發明說明 (8)

如為硼矽玻璃(BSG)，其方法例如為常壓化學氣相沉積法(APCVD)，接著回蝕以去除罩幕層202上之蝕刻保護層210材料，並凹蝕(recess)長溝槽250內之蝕刻保護層210材料，最後於長溝槽250內形成蝕刻保護層210，其高度略低於基底200表面。接著去除蝕刻保護層210以外之浮置閘極材料，最後於長溝槽250內形成了一位於源極隔離層207上並與隧穿氧化層連接之U型浮置閘極209。接著沉積一順應性的控制閘極間隙壁211材料於罩幕層202上及長溝槽250內，其材質例如為二氧化矽，其方法例如為低壓化學氣相沉積法(LPCVD)。

請繼續參照第3h圖及第4h圖，接著回蝕罩幕層202上之控制閘極二氧化矽間隙壁211材料，由於控制閘極間隙壁211材料(例如為二氧化矽)與蝕刻保護層210材料(例如為硼矽玻璃)相似，故於回蝕溝槽內控制閘極間隙壁211材料部份時會輕度過蝕蝕刻保護層210而略降低了蝕刻保護層210之厚度。最後於長溝槽250內形成了位於U型浮置閘極209兩側壁之垂直部份上並與此垂直部份等寬的一對控制閘極間隙壁211。

請繼續參照第3i、圖4i，接著利用蝕刻保護層210之材料(例如為硼矽玻璃)與控制閘極間隙壁211之材料(例如為二氧化矽)在蝕刻環境中蝕刻率的差異，去除蝕刻保護層210材料而留下控制閘極間隙壁211，而上述之蝕刻環境例如為濕蝕刻法。接著沉積一順應性閘極間介電層212材料於幕罩層202上及長溝槽250內，其厚度介於100~200





#### 五、發明說明 (9)

埃，其方法例如為低壓化學氣相沉積法(LPCVD)，其材質例如為二氧化矽；接著沉積控制閘極213材料覆蓋於罩幕層202上並溝填於長溝槽250內，其材質例如為含n型摻質之複晶矽，其水平厚度介於1000~1500埃。接著回蝕長溝槽250外之此控制閘極213與閘極間介電層212，最後於長溝槽250內形成一U型閘極間介電層(即為閘極間介電層212)與一位於此U型閘極間介電層間之控制閘極213(control gate; CG)，並利用U型閘極間介電層212所提供額外之接觸面積以提升與浮置閘極209間之偶合率(coupling ratio)。

請繼續參照第3j圖及第4j圖，接著利用微影及蝕刻程序，形成複數個長條狀淺隔離溝槽區域(STI)，沿一第二方向排列且互為平行並蝕刻停止於源極隔離層207上，並定義出複數個溝槽250'，此複數個溝槽250'即為此快閃記憶體之記憶胞溝槽。而此第二方向與長溝槽250所排列之第一方向互為垂直，此時製程上視圖如第2b圖所示。第3j圖中，為沿A-A'切線之剖面圖，即為此快閃記憶體之記憶胞溝槽所在之溝槽250'，而第4j圖則為沿B-B'切線之剖面圖，即為此快閃記憶體之淺隔離溝槽區域(STI)所在區域。

請繼續參照第3k圖與第4k圖，接著沉積一隔離層214材料並溝填於上述淺隔離溝槽區域(STI)內，其方法例如為高密度電漿化學氣相沉積法(HDP CVD)，其材質例如為二氧化矽。

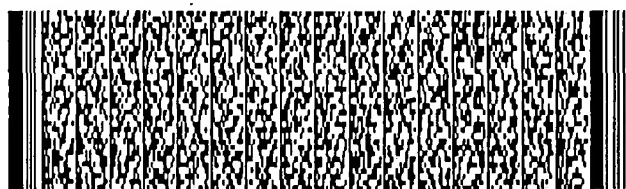
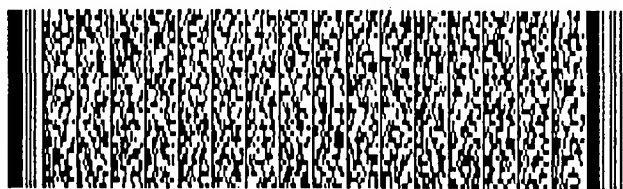




## 五、發明說明 (10)

請繼續參照第31圖與第41圖，接著利用一平坦化製程例如為CMP法，利用罩幕層202為化學機械研磨停止層(CMP stop layer)將晶圓表面平坦化，而完成此快閃記憶體之淺隔離溝槽區域(STI)。接著去除鄰近溝槽250'之罩幕層202，其方法例如為濕蝕刻法，並接著進行汲極區域D之離子植入，其中植入之離子例如為n型離子，更例如為砷(As)離子。接著再經由一熱退火製程例如為一快速熱退火製程(RTP)，以形成源極區域D於溝槽250'鄰近之半導體基底200中。最後去除墊氧化層201，並接著沉積一第二隔離層215，並填入汲極區域D上方區域內，其方法例如為低壓氣相沉積法(LPCVD)，其材質例如為二氧化矽；接著再利用一平坦化製程如CMP法，將晶圓表面平坦化，並露出控制閘極213，以便後續字元線(word line)之連接。

最後，請參照第1圖，可更利用習知之字元線及位元線製造技術(為不模糊本發明之重點，故於此以虛線表示)形成連接記憶胞之字元線(Word Line; WL)結構，沿第一方向連接記憶胞溝槽250'中之控制閘極213，並藉由位元線(Bit Line; BL)及接觸窗(Contact Via)技術，沿第二方向連結鄰近於記憶胞溝槽250'之第二隔離層215下方的汲極區域D，最後完成此溝槽型堆疊閘極式快閃記憶體製程，而依據本發明之記憶胞結構具有增加單位記憶胞(unit cell)電流之功效。其記憶胞與字元線及位元線之聯結情形可如第1圖中所示，然其字元線及位元線之聯結情形並非限定如第1圖中所示，任何熟習此項技藝者，在



#### 五、發明說明 (11)

不脫離本發明之精神和範圍內，當可作更動與潤飾其聯情形。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖係依據本發明之溝槽型堆疊閘極式快閃記憶體的上視圖。

第2a圖係對應於本發明較佳實施例之製程流程剖面圖3a、圖4a之製程上視圖。

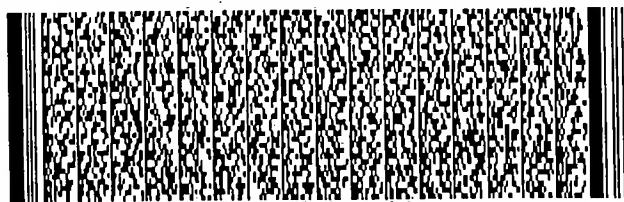
第2b圖係對應於本發明較佳實施例之製程流程剖面圖3j、圖4j之製程上視圖。

第3a~第3l圖係根據本發明較佳實施例之溝槽型堆疊閘極式快閃記憶體中沿A~A'切線之製程流程剖面圖。

第4a~第4l圖係根據本發明較佳實施例之溝槽型堆疊閘極式快閃記憶體中沿B~B'切線之製程流程剖面圖。

### 【符號說明】

- |                                 |            |
|---------------------------------|------------|
| 200~半導體基底；                      | 201~墊氧化層；  |
| 202~罩幕層；                        | 203~底絕緣層；  |
| 204、210~蝕刻保護層；                  |            |
| 205~源極材料層；                      | 206~導電層；   |
| 207~源極隔離層；                      | 208~隧穿氧化層； |
| 209、FG~U型浮置閘極；                  |            |
| 211~控置閘極間隙壁；212~閘極間介電層；         |            |
| 213、CG~控制閘極；                    | 214~隔離層；   |
| 215~第二隔離層；                      |            |
| $\Delta H$ ~導電層206與底絕緣層203之深度差； |            |
| S~源極區域；                         | D~汲極區域；    |
| STI~淺溝槽隔離區域；250~長溝槽；            |            |



圖式簡單說明

250' ~ 溝槽 ;

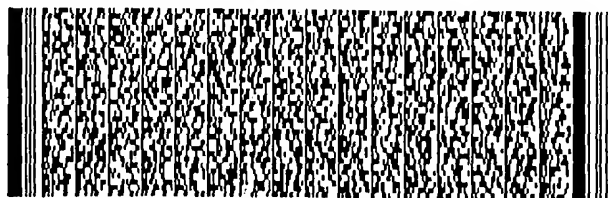
WL ~ 字元線 ;

BL ~ 位元線。



## 六、申請專利範圍

1. 一種溝槽型堆疊閘極式快閃記憶體，包括：
  - 一半導體基底具有一溝槽；
  - 一導電層，位於該溝槽底部；
  - 一對源極區域，位於該溝槽兩側壁之半導體基底中且經該導電層形成電性接觸；
  - 一源極隔離層，位於該導電層上
  - 一隧穿氧化層，位於該源極隔離層上之該溝槽側壁上；
  - 一U型浮置閘極，位於該溝槽內之該源極隔離層上並與該隧穿氧化層連接；
  - 一對控制閘極間隙壁，位於該U型浮置閘極兩側壁之垂直部位上並與該垂直部位等寬；
  - 一U型閘極間介電層，位於該控制閘極間隙壁與該U型浮置閘極上；
  - 一控制閘極，位於該U型閘極間介電層間；以及
  - 一汲極區域，位於該溝槽鄰近之該半導體基底中。
2. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中該半導體基底為一p型半導體矽基底。
3. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中於該導電層下方更包括一底絕緣層。
4. 如申請範圍第3項所述之溝槽型堆疊閘極式快閃記憶體，其中該底絕緣層材質為二氧化矽。
5. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中該導電層材質為含n型摻質(dopant)之複晶



## 六、申請專利範圍

矽。

6. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中該源極隔離層材質為二氧化矽。

7. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中該隧穿氧化層材質為二氧化矽。

8. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中該U型浮置閘極與該控制閘極的材質為含n型摻質(dopant)之複晶矽。

9. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中該U型閘極間介電層材質為二氧化矽。

10. 如申請範圍第1項所述之溝槽型堆疊閘極式快閃記憶體，其中該等控制閘極間隙壁材質為二氧化矽。

11. 一種溝槽型堆疊閘極式快閃記憶體的製造方法，包括下列步驟：

提供一半導體基底；

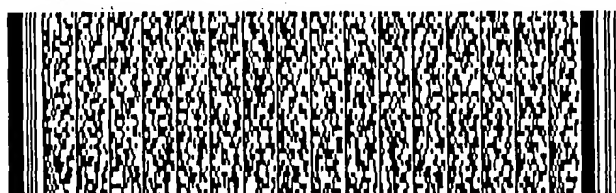
形成複數個長溝槽，位於該半導體基底內且沿一第一方向排列且互為平行；

形成一對源極區域及一導電層於該長溝槽內，該源極區域位於該長溝槽兩側壁外之半導體基底中並經由位於該長溝槽底部之該導電層以形成電性接觸；

形成一源極隔離層於該等導電層上；

形成一隧穿氧化層於該長溝槽之兩側壁上；

形成一U型浮置閘極於該源極隔離層上並與該隧穿氧化層連接；



## 六、申請專利範圍

形成一對控制閘極間隙壁於該U型浮置閘極兩側壁之垂直部位上並與該垂直部位等寬；

形成一U型閘極間介電層於該控制閘極間隙壁與該U型浮置閘極上；

形成一控制閘極於該U型閘極間介電層間；

形成複數個長條狀之淺溝槽隔離區域(STI)，沿一第二方向排列且互為平行之以定義出複數個記憶胞溝槽；以及

形成一汲極區域於該等記憶胞溝槽鄰近之半導體基底中。

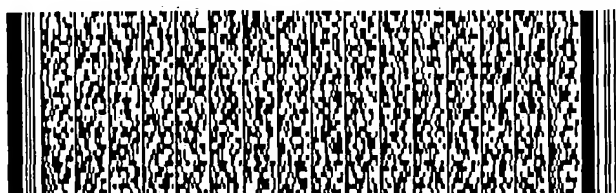
12. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該第一方向與該第二方向互為垂直。

13. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該半導體基底為P型半導體矽基底。

14. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中於該半導體基底內形成複數個長溝槽前更包括於該半導體基底上形成一墊氧化層及一罩幕層。

15. 如申請範圍第14項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該墊氧化層材質為二氧化矽。

16. 如申請範圍第14項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該罩幕層材質為氮化矽。



## 六、申請專利範圍

17. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體之製造方法，其中形成一對源極區域及一導電層於該長溝槽內前更包括形成一底絕緣層於該長溝槽底部。

18. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體之製造方法，形成一對源極區域及一導電層於該長溝槽內的步驟包括：

沉積一源極材料層材料並溝填(gap-fill)於該長溝槽內；

凹蝕(recess)該長溝槽內之該源極材料層材料，最後於該長溝槽內形成一源極材料層；

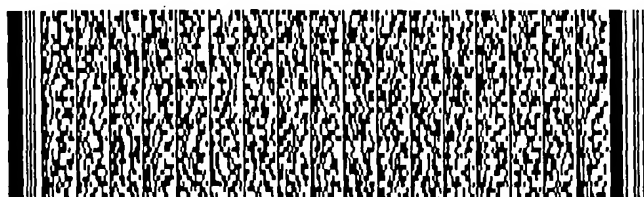
進行一高溫熱逐出(drive out)製程以形成一源極區域於該長溝槽兩側壁外之該半導體基底中；以及

更凹蝕(recess)長溝槽中之該源極材料層材料以形成一導電層於該長溝槽底部以提供該等源極區域間之電性接觸。

19. 如申請範圍第18項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該源極材料層材質為含n型摻質(dopant)之複晶矽。

20. 如申請範圍第19項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該含n型摻質(dopant)之複晶矽為含砷(As)之複晶矽。

21. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中形成一隧穿氧化層於該長溝槽之兩側壁上前尚包括對該長溝槽側壁進行之臨界電壓植入





六、申請專利範圍

(Vt implant)之製程。

22. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體之製造方法，形成一U型浮置閘極於該源極隔離層上並與該隧穿氧化層連接的步驟包括：

沉積一順應性的浮置閘極材料於該長溝槽內；

沉積一蝕刻保護層材料並溝填於該長溝槽內；

凹蝕該長溝槽內之該蝕刻保護層材料，最後於該長溝槽內形成位於該浮置閘極材料上之一蝕刻保護層；以及

去除該蝕刻保護層以外之該浮置閘極材料最後形成一位於該源極隔離層上並與該隧穿氧化層連接之U型浮置閘極。

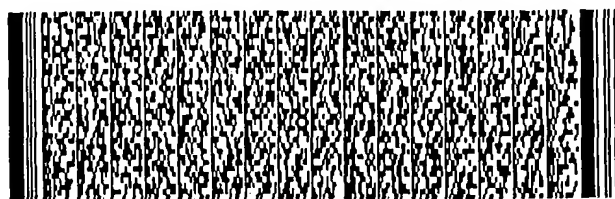
23. 如申請範圍第22項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該蝕刻保護層材質為硼矽玻璃(BSG)。

24. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，形成一對控制閘極間隙壁於該U型浮置閘極兩側壁之垂直部位上並與該垂直部位等寬的步驟包括：

沉積一順應性的控制閘極間隙壁材料於該長溝槽內；

回蝕該順應性的控制閘極間隙壁材料並蝕刻停止於長溝槽之該蝕刻保護層以於該長溝槽內形成一對控制閘極間隙壁位於該U型浮置閘極兩側壁之垂直部位上並與該垂直部位等寬；以及

去除該長溝槽內該蝕刻保護層。



#### 六、申請專利範圍

25. 如申請範圍第24項所述之溝槽型堆疊閘極式快閃記憶體之製造方法，其中去除該蝕刻保護層的方法為濕蝕刻法。

26. 如申請範圍第25項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該控制閘極間隙壁材質為二氧化矽。

27. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中形成複數個長條狀之淺溝槽隔離區域(STI)，沿一第二方向排列且互為平行之以定義出複數個記憶胞區域的步驟包括：

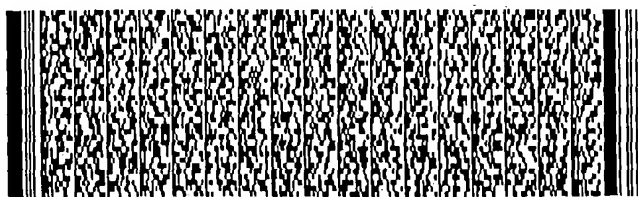
利用微影及蝕刻程序定義出沿一第二方向排列且互為平行之複數個長條狀之淺溝槽隔離區域(STI)，以定義出複數個記憶胞區域並於該等淺溝槽隔離區域(STI)內並蝕刻停止於該源極隔離層上；

沉積一隔離層並填入該淺隔離溝槽區域(STI)內；以及

利用該罩幕層為化學機械研磨停止層(CMP stop layer)將表面平坦化以形成該等長條狀之淺溝槽隔離區域(STI)。

28. 如申請範圍第27項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該隔離層材質為二氧化矽。

29. 如申請範圍第27項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中沉積該隔離層之方法為高密度電漿化學氣相沉積法(HDP CVD)。



六、申請專利範圍

30. 如申請範圍第11項所述之溝槽型堆疊閘極式快閃記憶體之製造方法，其中形成一汲極區域於該等記憶胞溝槽鄰近之半導體基底中之步驟包括：

去除記憶胞溝槽鄰近之該罩幕層；

進行汲極區域離子植入；

進行一熱退火製程以形成汲極區域於記憶胞溝槽鄰近之半導體基底中；

去除該汲極區域上方區域之該墊氧化層；

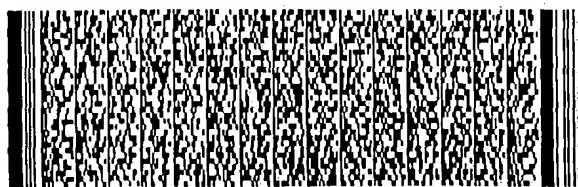
沉積一第二隔離層並填入該汲極區域上方區域內；以及

進行一平坦化製程以平坦化該晶圓表面。

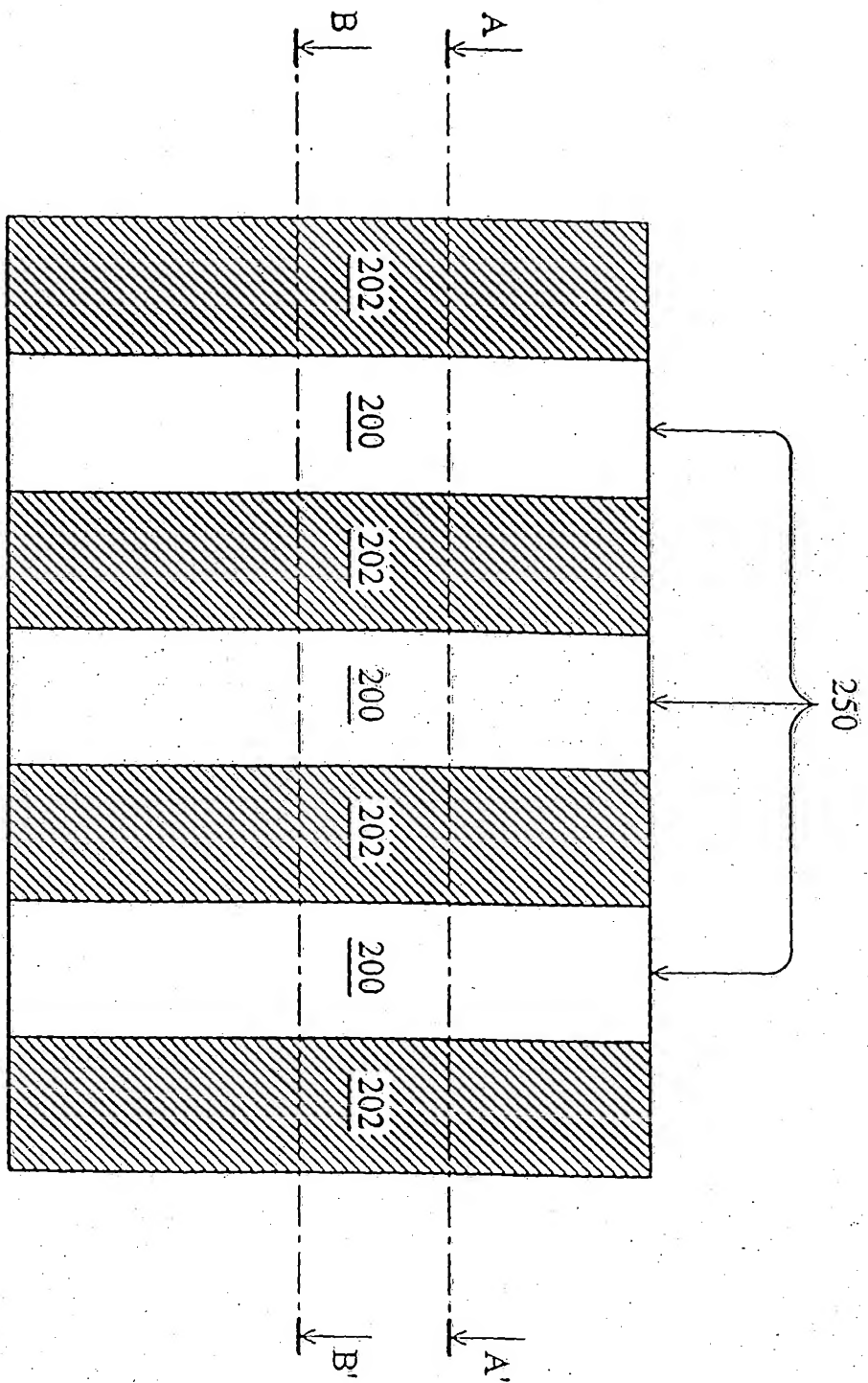
31. 如申請範圍第30項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該汲極區域植入離子為n型離子。

32. 如申請範圍第31項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中該汲極區域植入離子為砷(As)離子。

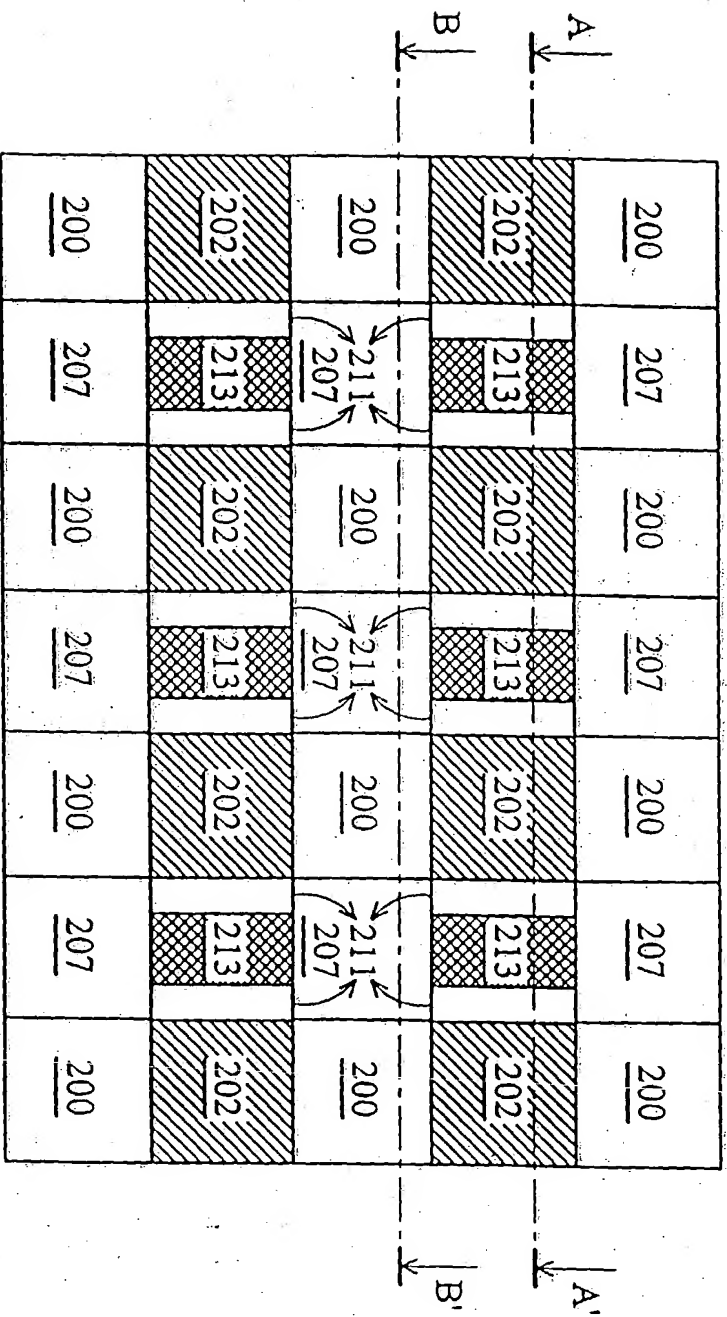
33. 如申請範圍第30項所述之溝槽型堆疊閘極式快閃記憶體的製造方法，其中沉積該第二隔離層之方法為低壓化學氣相沉積法(LPCVD)。



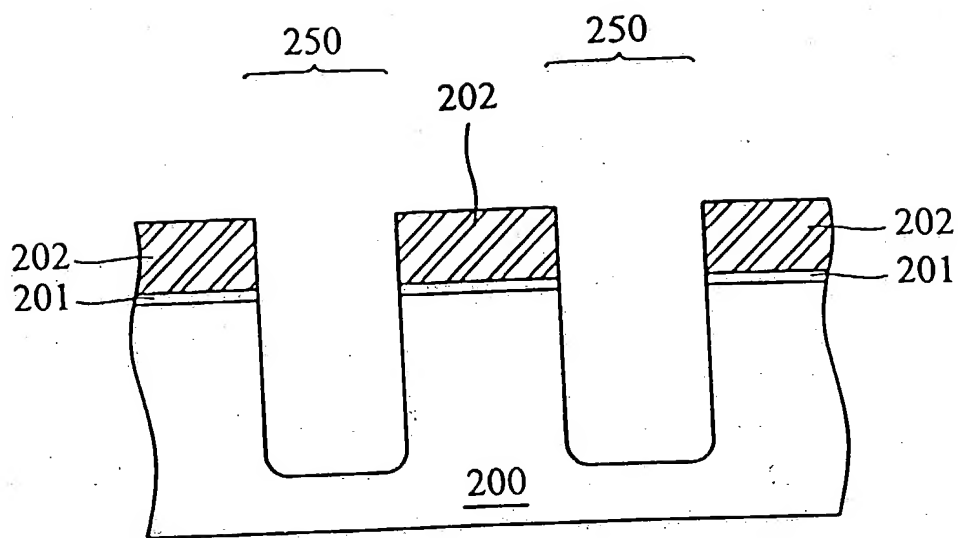




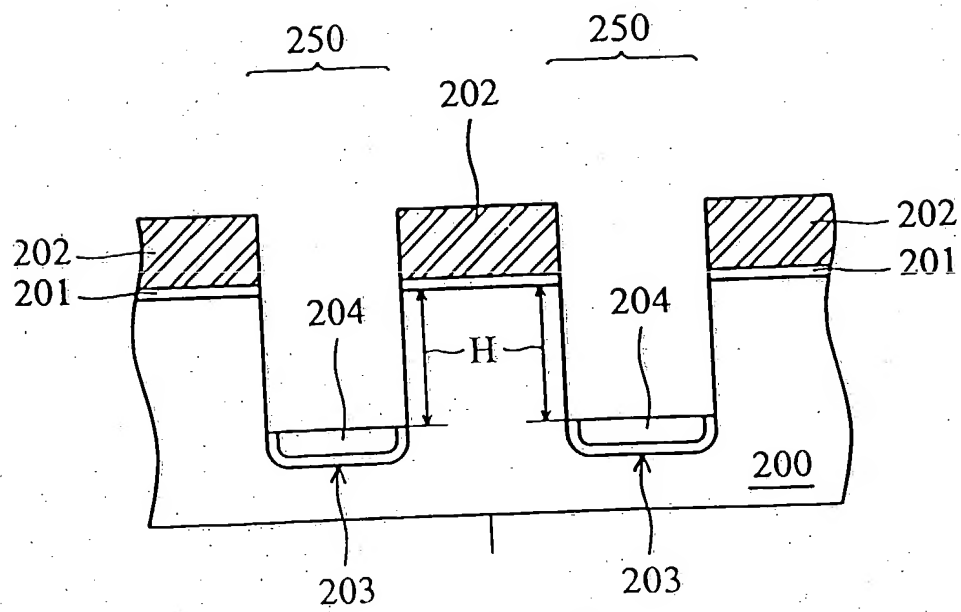
第20圖



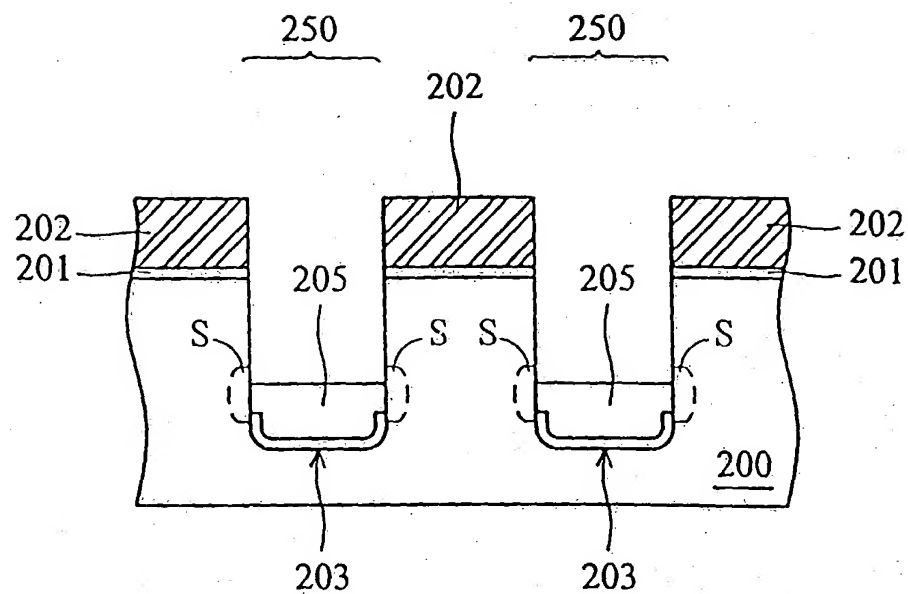
第2b圖



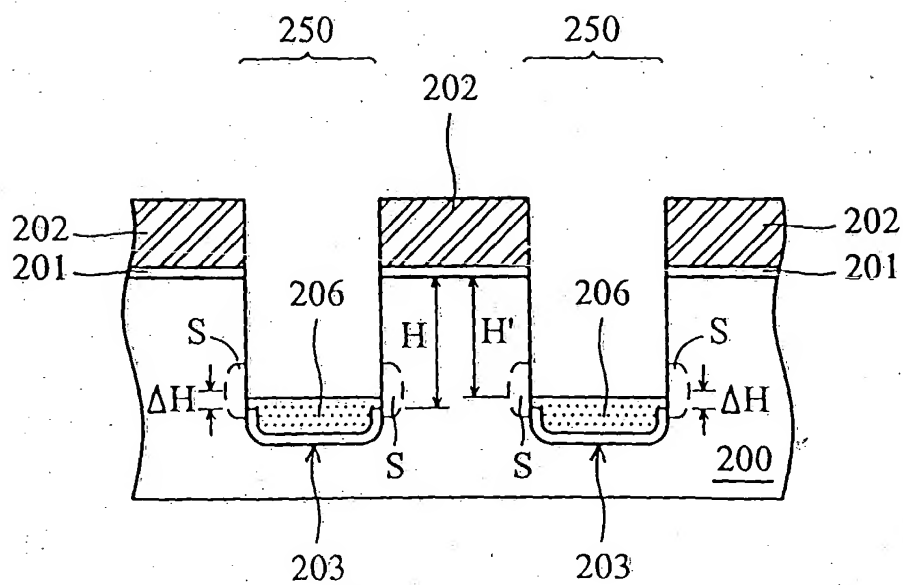
第3a圖



第3b圖



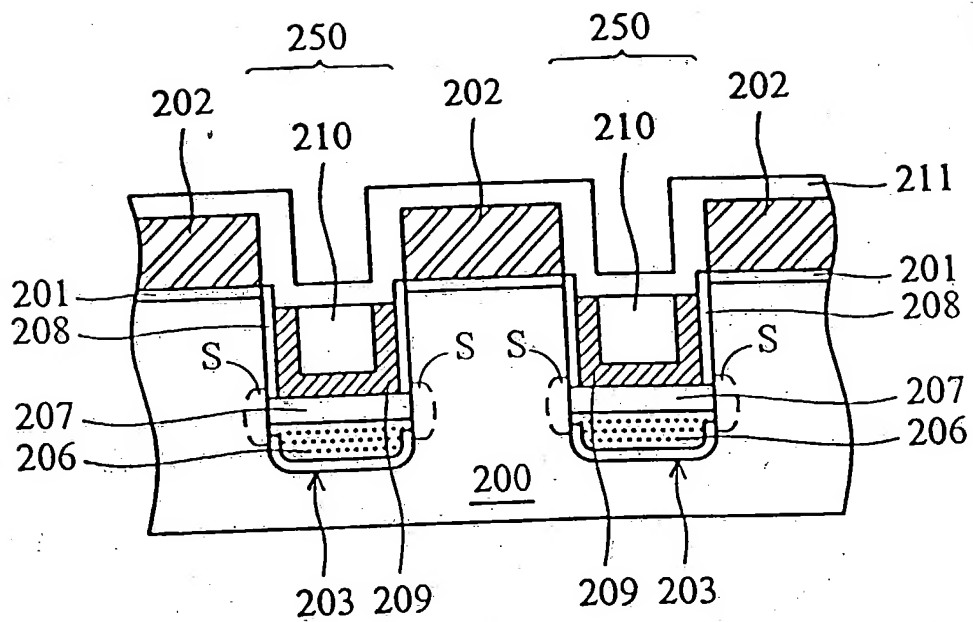
第 3c 圖



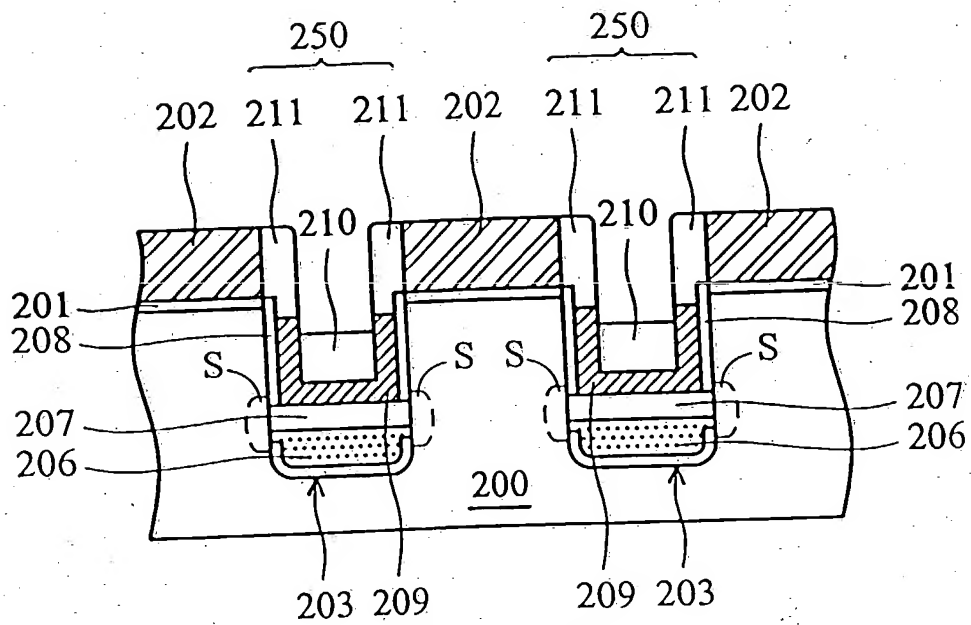
第3d圖



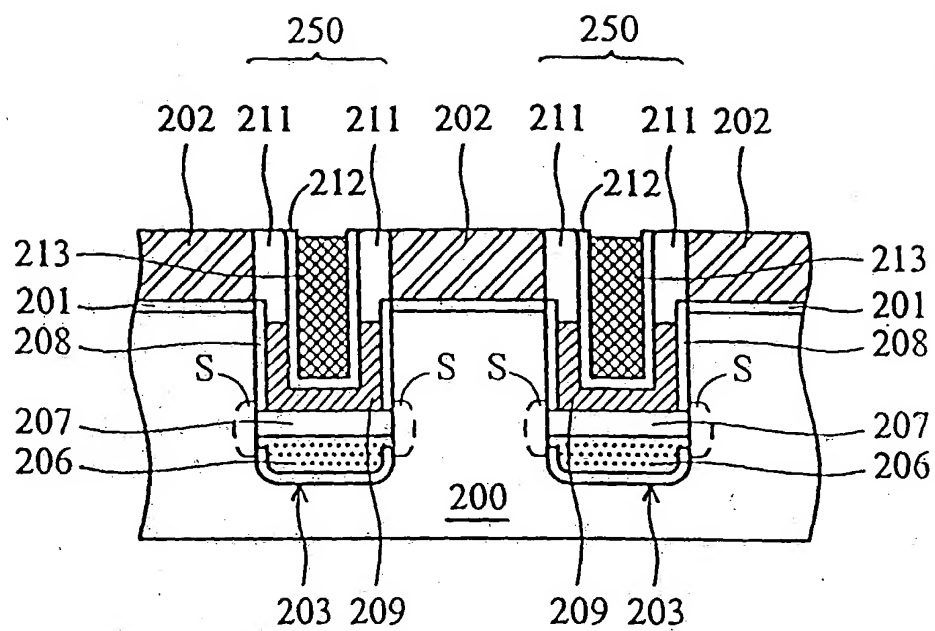




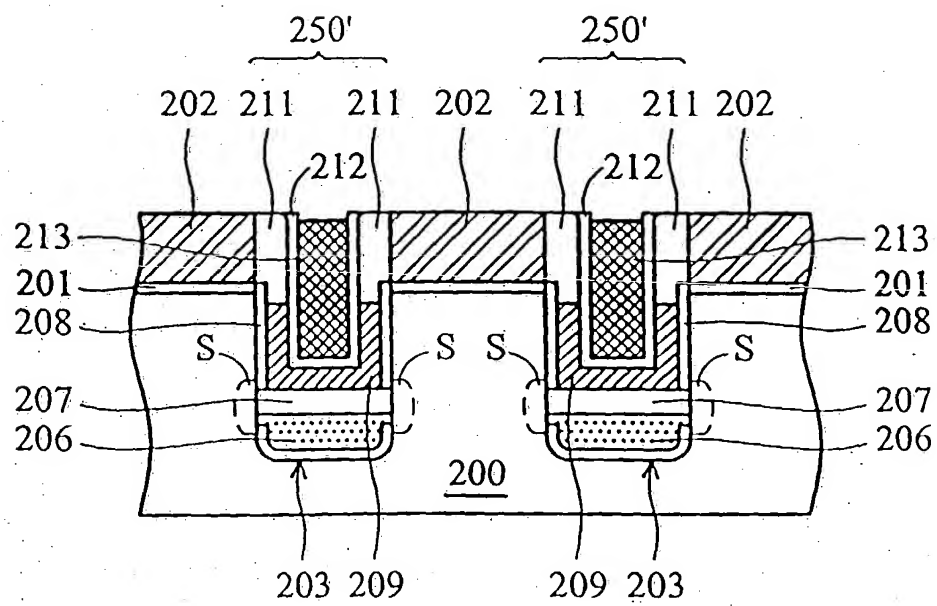
第3g圖



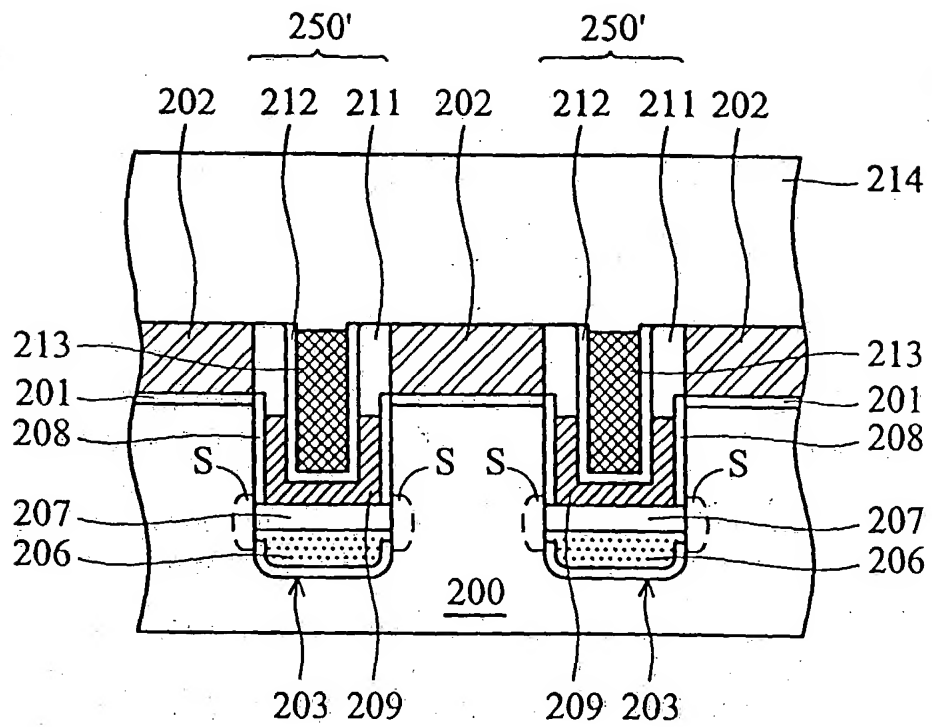
第3h圖



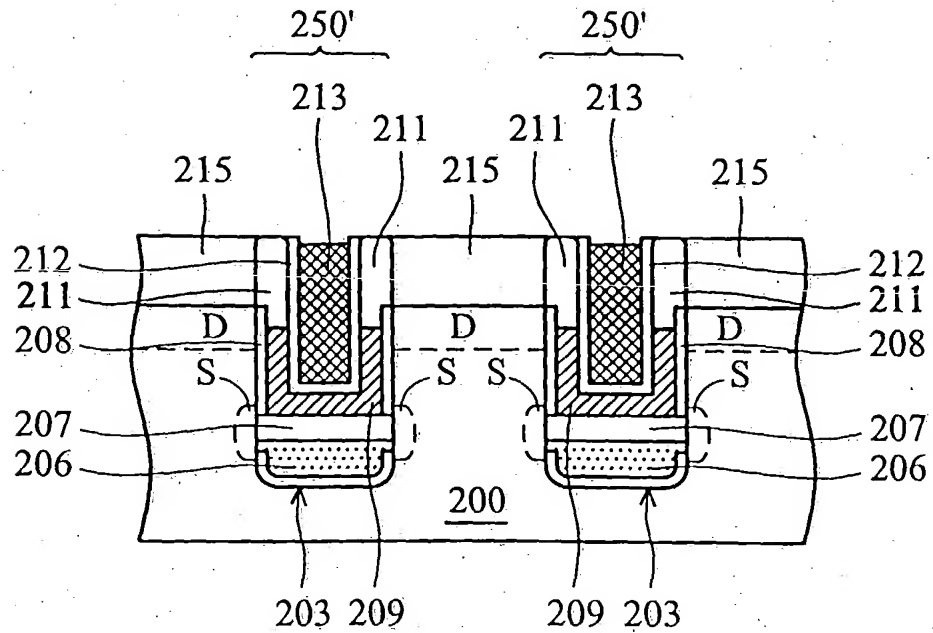
第3i 圖



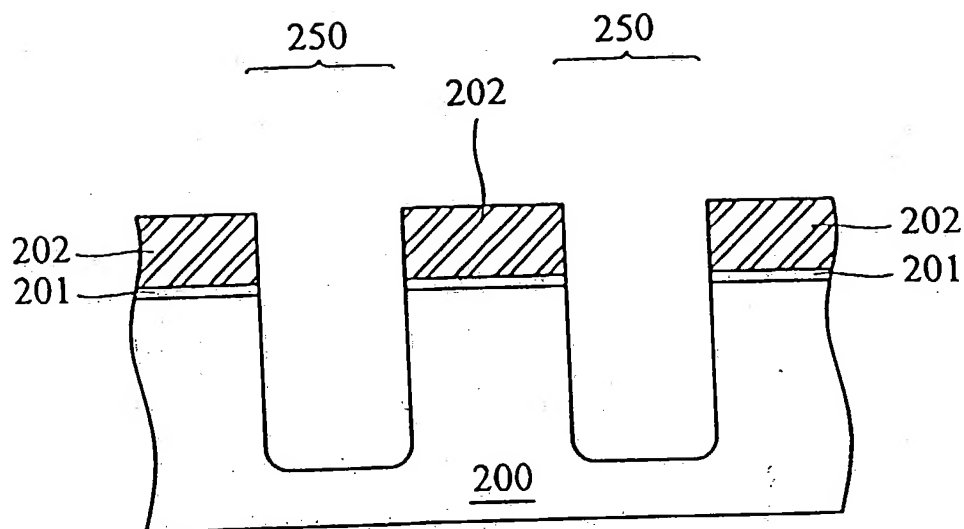
第3j 圖



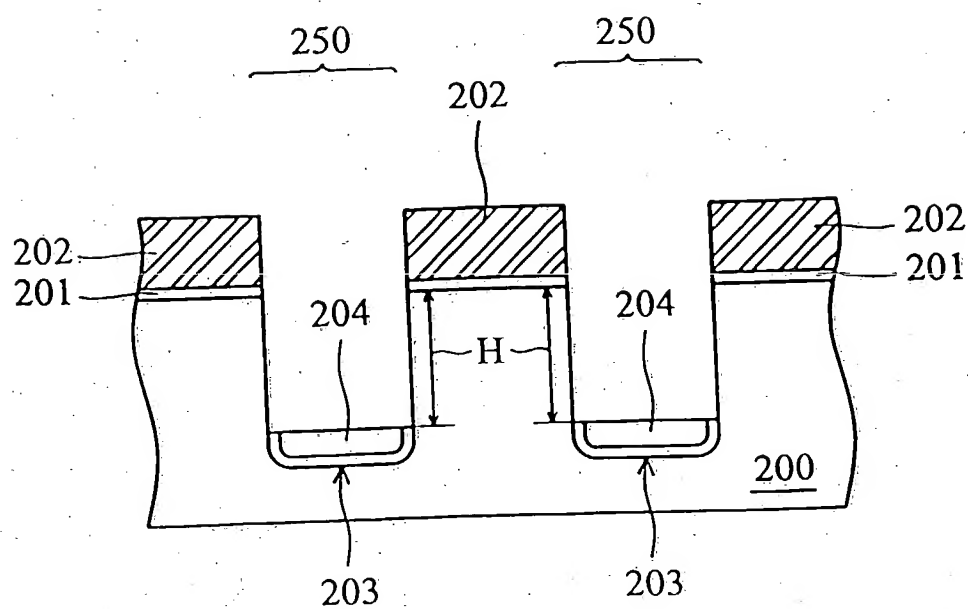
第3k圖



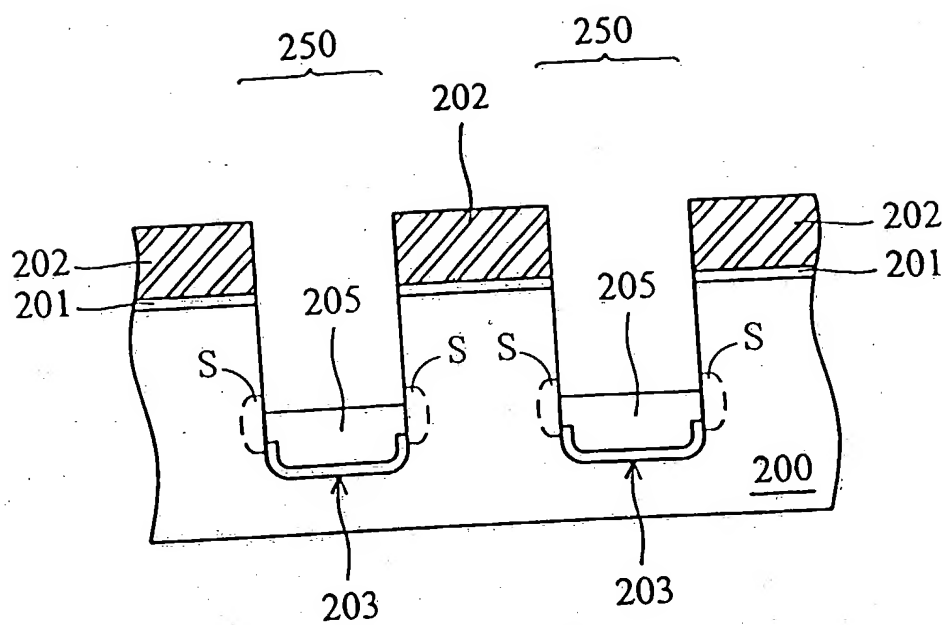
第3l圖



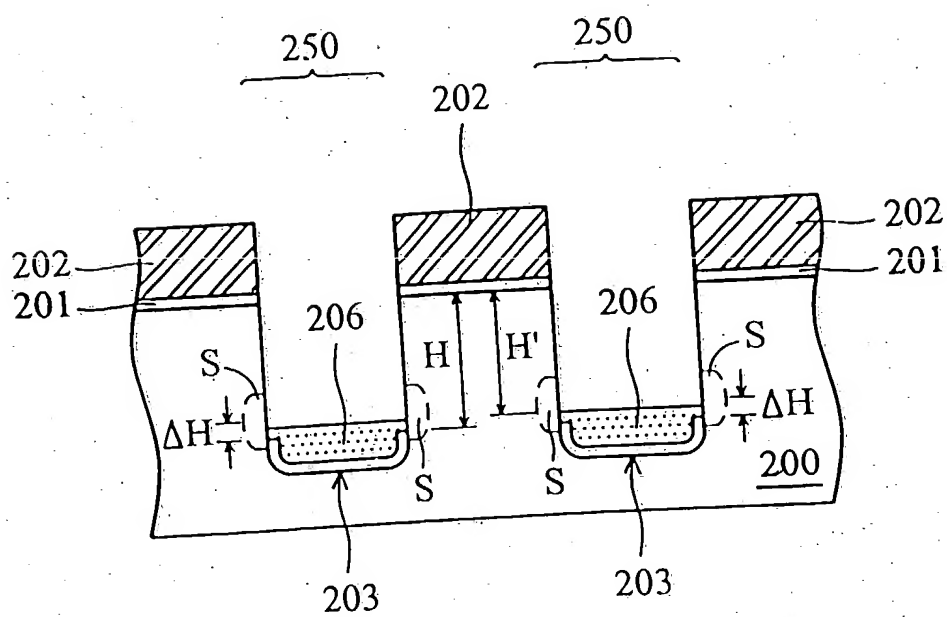
第4a圖



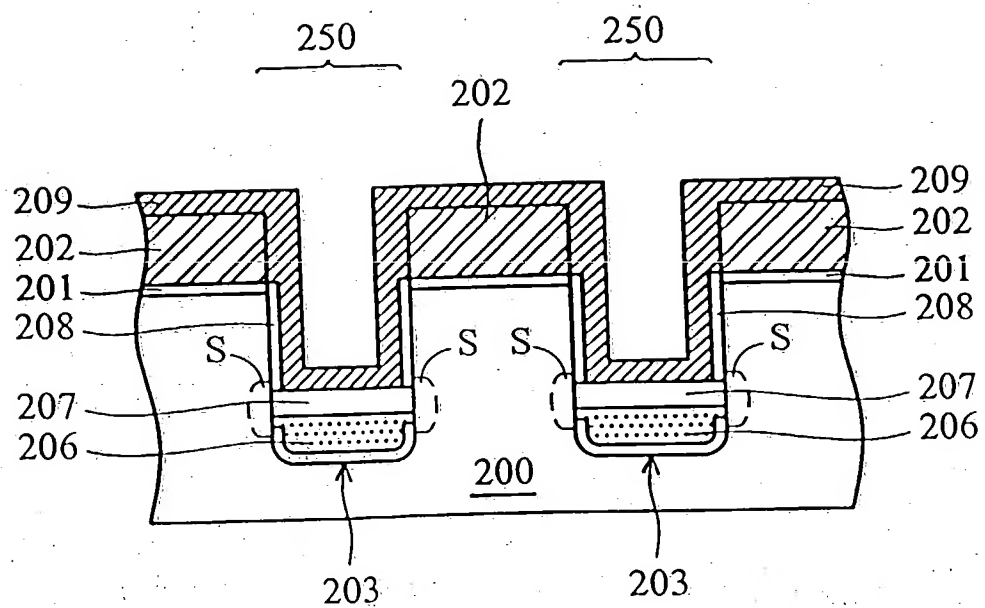
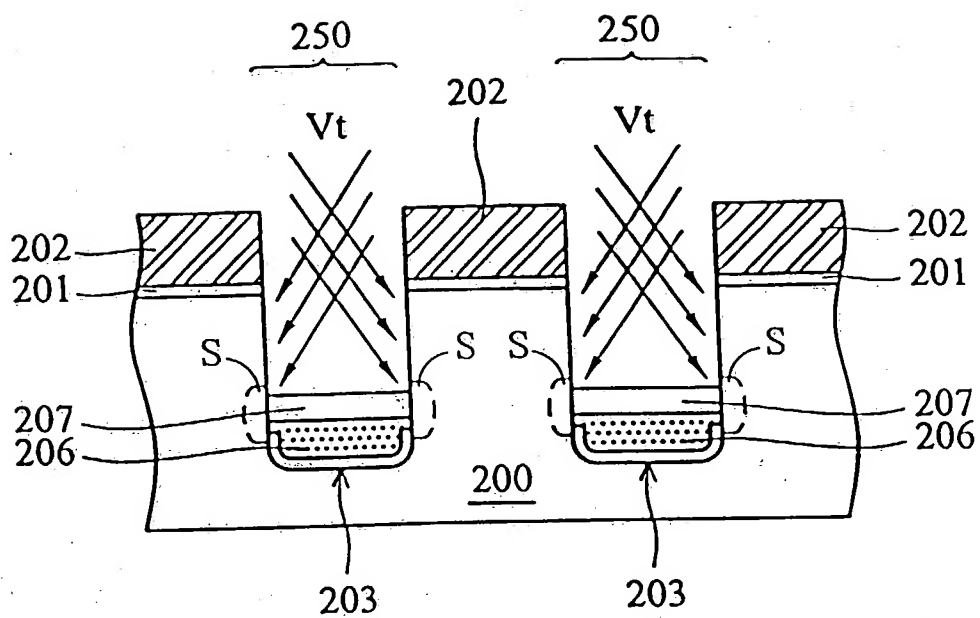
第4b圖

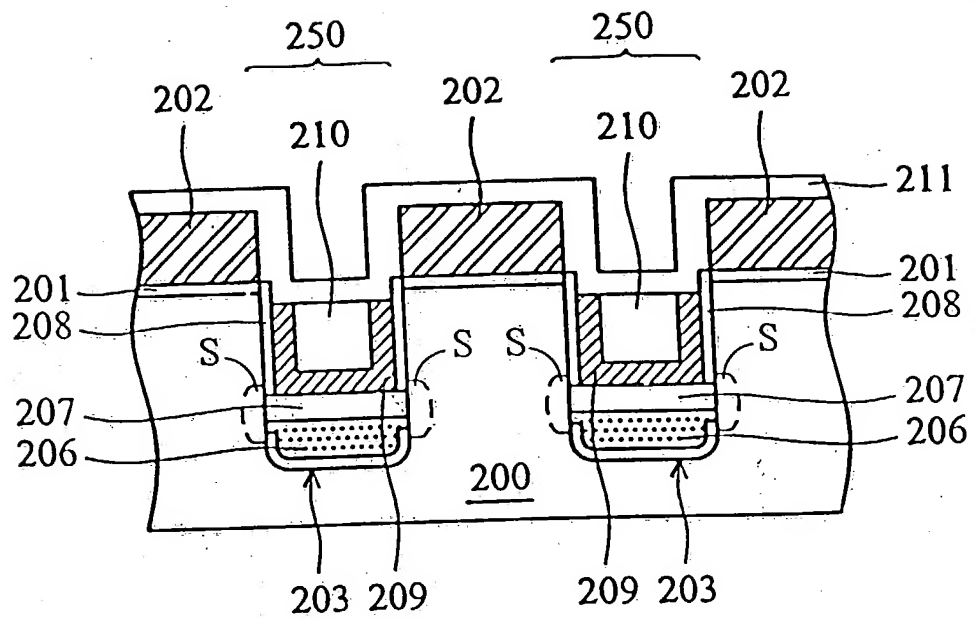


第4c圖

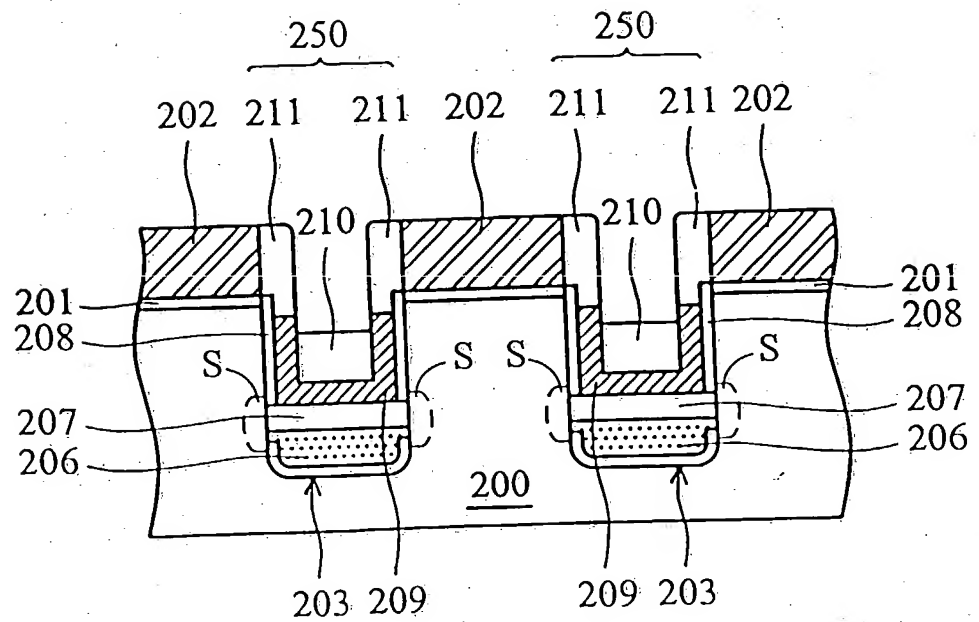


第4d圖



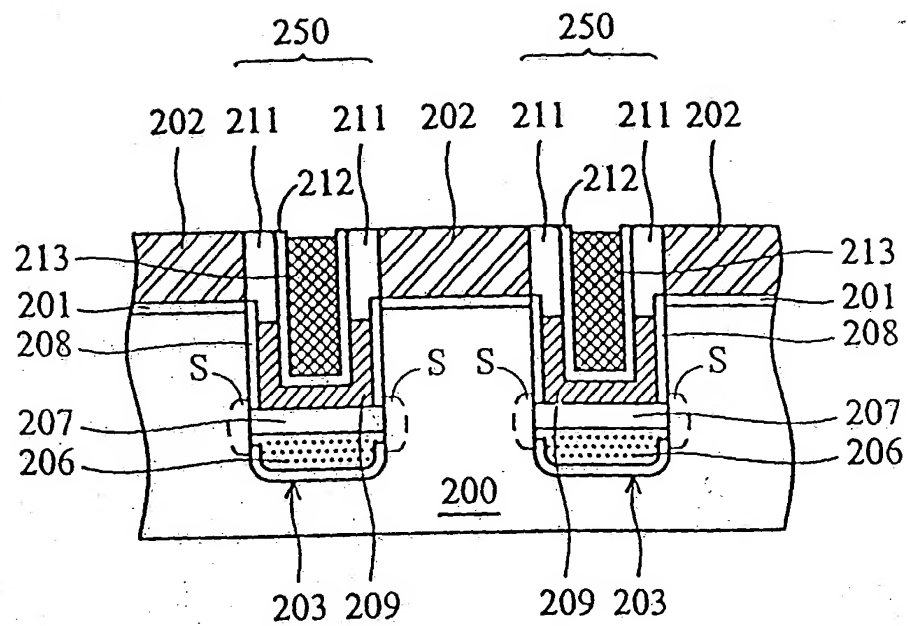


第4g圖

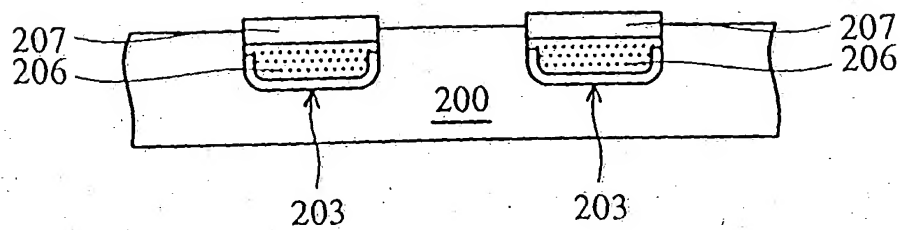


第4h圖

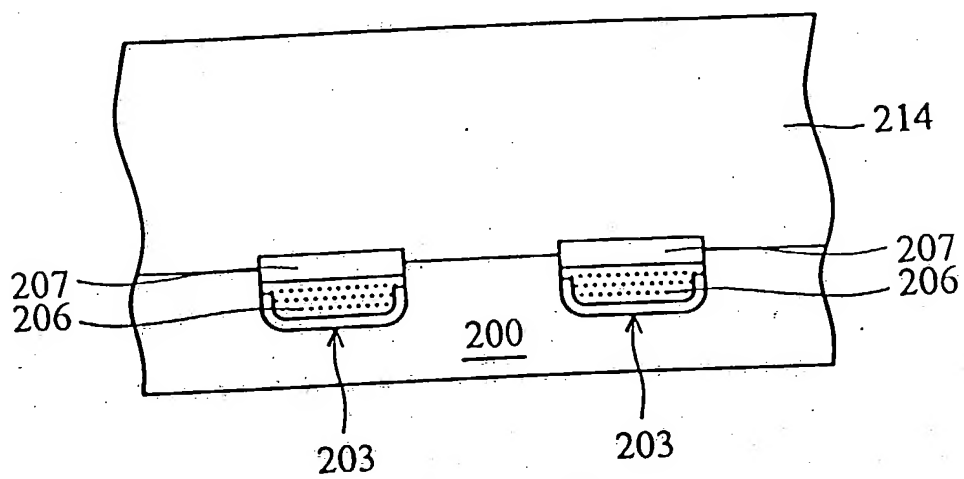




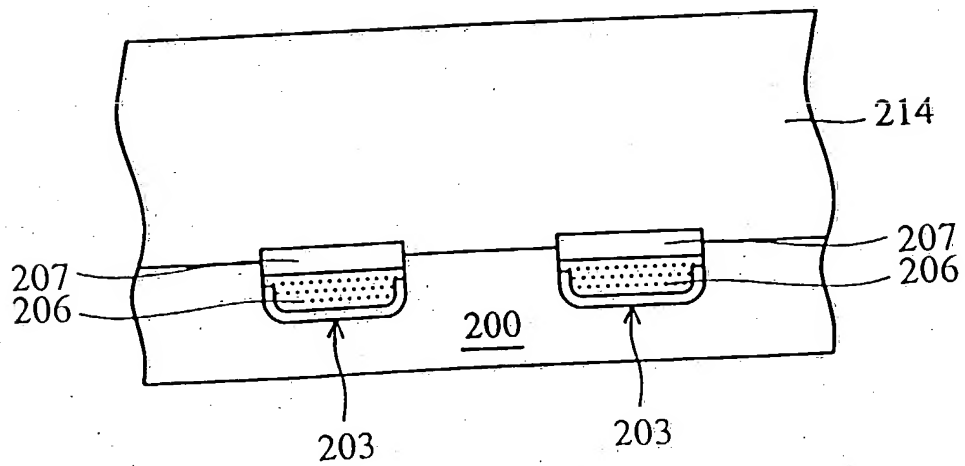
第4i 圖



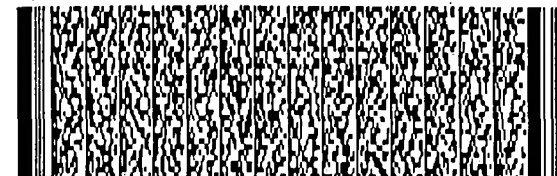
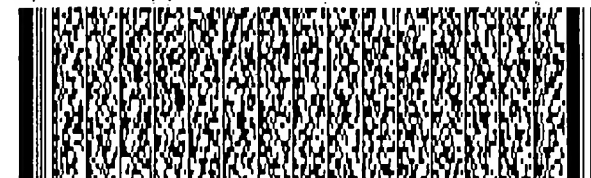
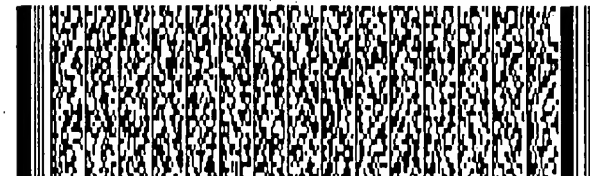
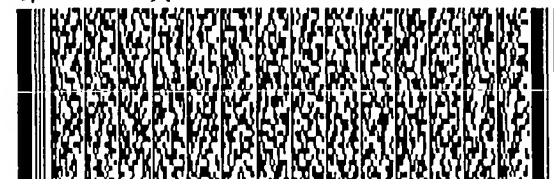
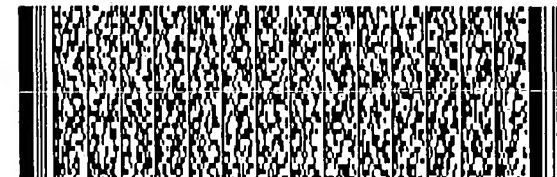
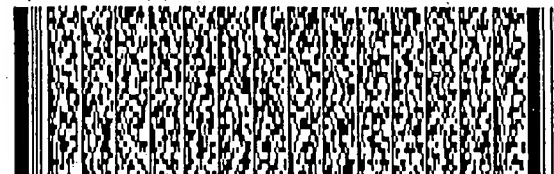
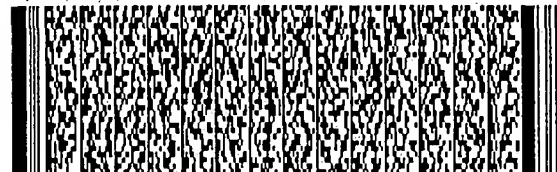
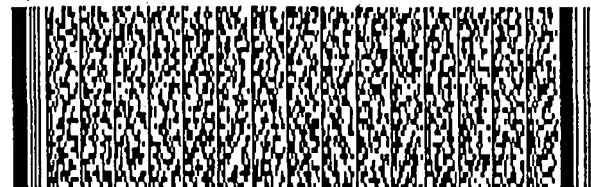
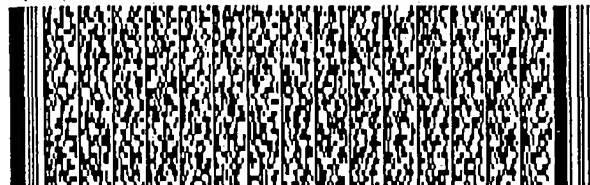
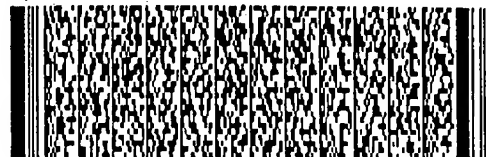
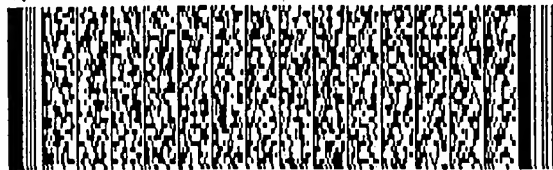
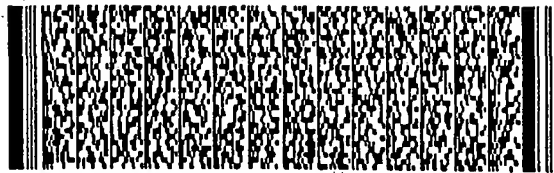
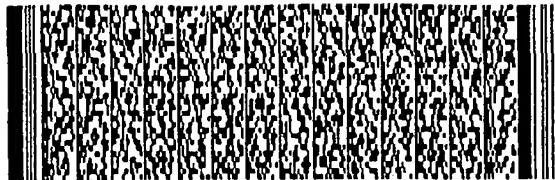
第4j 圖



第4k圖

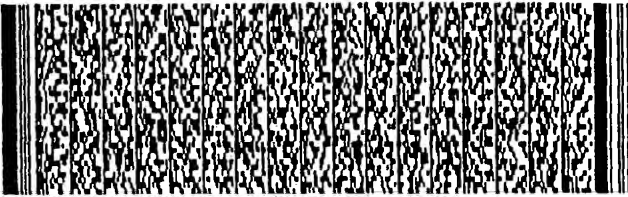


第4l圖





第 23/24 頁



第 24/24 頁

